

日本国特許庁
JAPAN PATENT OFFICE

01.06.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 5月29日

出願番号
Application Number: 特願2003-153232
[ST. 10/C]: [JP2003-153232]

REC'D 24 JUN 2004

WIPO

PCT

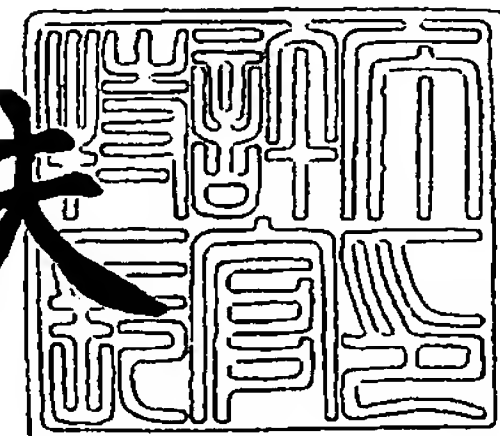
出願人
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 3月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 34002315

【提出日】 平成15年 5月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78
H01L 21/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 辰巳 徹

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 五十嵐 信行

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100123788

 【弁理士】

 【氏名又は名称】 宮崎 昭夫

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 201087

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0304683

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法、並びに金属酸化膜の形成方法

【特許請求の範囲】

【請求項 1】 シリコン基板と、
前記シリコン基板上に形成され、窒素および酸素の少なくとも 1 種とシリコンとを含有する絶縁膜と、
前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜と、
前記金属酸化膜上に形成されたゲート電極とを具備し、
前記金属酸化膜中のシリコンのモル比率 ($\text{Si} / (\text{Si} + \text{Hf})$) が 2 % 以上 15 % 以下である

M I S 型電界効果トランジスタを備えることを特徴とする半導体装置。

【請求項 2】 前記金属酸化膜中の多結晶粒の直径は 30 nm 以上 100 nm 未満であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記金属酸化膜上にシリコン窒化膜を有する M I S 型電界効果トランジスタを備えることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 金属原料として有機金属ハフニウムと有機金属シリコン、酸化剤として水を用いるシリコン及びハフニウムを含む金属酸化膜の気相成長方法であって、水の分圧を $1 \text{ E} - 6 \text{ Torr}$ ($1.33 \times 10^{-4} \text{ Pa}$) 以上、 $1 \text{ E} - 5 \text{ Torr}$ ($1.33 \times 10^{-3} \text{ Pa}$) 以下にすることを特徴とする金属酸化膜の形成方法。

【請求項 5】 前記有機金属ハフニウムがテトラキスジエチルアミノハフニウムであることを特徴とする請求項 4 に記載の金属酸化膜の形成方法。

【請求項 6】 前記有機金属シリコンがトリシメチルアミノシランであることを特徴とする請求項 4 又は 5 に記載の金属酸化膜の形成方法。

【請求項 7】 前記金属酸化膜形成時の基板温度が 150°C 以上 450°C 以下であることを特徴とする請求項 4、5 又は 6 に記載の金属酸化膜の形成方法。

【請求項 8】 前記金属酸化膜形成時、途中で成膜を中断し、 500°C 以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする請求項 4 から 7 のいずれか 1 項に記載の金属酸化膜の形

成方法。

【請求項 9】 前記金属酸化膜形成時、膜厚が 1 n m 以下で成膜を中断し、5 0 0 ℃ 以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする請求項 8 に記載の金属酸化膜の形成方法。

【請求項 1 0】 前記金属酸化膜形成後、酸化性雰囲気下 5 0 0 ℃ 以上でアニールを行うことを特徴とする請求項 4 から 9 のいずれか 1 項に記載の金属酸化膜の形成方法。

【請求項 1 1】 前記金属酸化膜形成後、不活性ガス雰囲気下 7 0 0 ℃ 以上でアニールを行うことを特徴とする請求項 4 から 1 0 のいずれか 1 項に記載の金属酸化膜の形成方法。

【請求項 1 2】 請求項 1、2 又は 3 に記載の半導体装置を製造する方法であって、前記金属酸化膜を、請求項 4 から 1 1 のいずれか 1 項に記載の金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特にシリコンおよびハフニウムを含む金属酸化膜と、シリコンを含む界面絶縁膜との積層絶縁膜をゲート絶縁膜として使用する M I S 型電界効果トランジスタを備える半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

サブ 0 . 1 μ m 世代の C M O S (Complementary Metal-Oxide-Semiconductor) デバイスにおけるゲート絶縁膜は、S i O₂ 換算で 1 . 6 n m という高いスペックが要求されている。厚さ 1 . 6 n m の S i O₂ は、絶縁性が低いため、リーク電流による消費電力増加よりも高速性を重視する L o g i c デバイスにおいてすら実用が困難である。また、より多くの需要が確実視される個人用携帯電子機器に用いられる L S I デバイスに求められる最大の要求は低消費電力性であるため、そのリーク電流密度がデバイス全体の消費電力に対し大きな部分を占めるゲ

ート絶縁膜に対しては、従来の SiO_2 よりも格段にリーク電流の低い新規材料の導入が必須とされている。

【0003】

SiO_2 換算 1.6 nm の絶縁膜容量を実現し、かつ低リーク特性を得るためには、 SiO_2 より比誘電率の高い材料 (High-K 材料) を利用し、物理膜厚を厚くすることが有効である。例えば、 SiO_2 の 10 倍の比誘電率をもつ材料を利用すれば、 SiO_2 換算 1.6 nm の性能を得るための物理膜厚は 16 nm に設定することができ、直接トンネル電流による膜の絶縁性破壊を回避することが可能である。ここで、High-K 材料とは一般に金属酸化物のことであり、その物理、化学的構造に基づく高い分極が高誘電率の起源となる。

【0004】

しかしながら、これらの金属酸化物は、LSI デバイスにゲート絶縁膜として導入することを考えたとき、 SiO_2 に比較して明らかに不利な性質を有している。その代表的なものとして、これらの金属酸化物の耐熱性が挙げられる。LSI のゲート形成工程ではソース/ドレインの活性化及びポリシリコンゲートの空乏化を抑制するために、高温 (概ね 1050°C) のランプアニール工程が必須である。ほとんどの金属酸化物はこのような高温には耐えることができず、例えば ZrO_2 は 900°C 以上で分解しシリコンと反応してシリサイドを形成しリーク特性を大きく低下させる。また、比較的耐熱性があると考えられている HfO_2 でさえ、 1000°C 以上で上部ポリシリコンゲートと反応してリーク特性を損なう。従来の LSI においてゲート絶縁膜を形成するために使用されてきた SiO_2 (または SiON) は、酸素がなければ、このような高い温度でもシリコンと反応しない。この特性は、シリコン中への不純物の拡散を防止して絶縁膜の平坦性を高め、リーク電流の低減、LSI チップの素子間特性バラツキを抑えるという効果をもたらし、LSI 製造の歩留まりおよび性能向上に極めて重要である。ゲート絶縁膜が分解しあるいは上下シリコン層と反応することは、従来当然のように得られていたこれらの効果が失われ、歩留まりの低下のみならず、所望の性能を得ること自体が困難になることが予測される。

【0005】

したがって、誘電率を SiO_2 よりも高くしつつ、かつ LSI プロセスで用いられる温度において安定なゲート絶縁膜材料が求められている。

【0006】

このような要求を満たすための材料の一つとして、シリコン酸化物とシリコン以外の金属の酸化物との混合酸化物が検討されている。例えば、 Ti-Si-O や、 Zr-Si-O 、 Hf-Si-O 、 La-Si-O などがその典型的なものとして挙げられる。これらの材料は、 1000°C 以上の高温でも安定である。

【0007】

しかしながら、こうした材料においては、シリコンを含有することによって、その比誘電率が著しく低下するという問題が生じる。例えば、金属の組成比 1 : 1 で調製された Hf-Si-O の比誘電率は 10 ~ 15 である。現状のデバイスのゲート絶縁膜として使用される SiON 等の実効的比誘電率を 6 程度と考えれば、これら検討されているシリコン含有金属酸化物の比誘電率による物理膜厚増加の効果は、たかだか SiON の 1.5 倍程度にすぎない。こうした材料によるリーク電流の相対的低減が可能になったところで、おそらくそれは一世代のデバイスにしか利用されない短命な材料となることが予測される。

【0008】

例えば特許文献 1（特開 2 0 0 3 - 8 0 1 1 号公報）には、 Hf 又は Zr の一の金属、酸素及びシリコンを含む高誘電率膜を有するゲート絶縁膜が記載されている。そして、この高誘電率膜の組成を $\text{M}_x\text{Si}_y\text{O}$ （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、誘電率と熱安定性の点から $0.23 \leq y / (x + y) \leq 0.9$ 、あるいは信頼性寿命と熱安定性の点から $0.23 \leq y / (x + y) \leq 0.3$ 0 であることが好ましいことが記載されている。

【0009】

【特許文献 1】

特開 2 0 0 3 - 8 0 1 1 号公報

【0010】

【発明が解決しようとする課題】

上述したように、従来の SiO_2 （または SiON ）に代わるゲート絶縁膜用

H i g h - K 材料は、非晶質性を高めるためにシリコンとシリコン以外の金属との合金酸化物を用いることが主流の技術となっている。しかしながら、その比誘電率はたかだか 1 0 程度となり、複数世代にわたって使用可能なゲート絶縁膜材料とはなり得ないものであった。

【 0 0 1 1 】

そこで本発明の目的は、ゲート絶縁膜に比誘電率の高い H i g h - K 材料を用いながら、低リーク特性に優れた M I S 型電界効果トランジスタを有する半導体装置およびその製造方法を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するために鋭意検討した結果、本発明を完成した。

【 0 0 1 3 】

すなわち本発明は、シリコン基板と、前記シリコン基板上に形成され、窒素および酸素の少なくとも 1 種とシリコンとを含有する絶縁膜と、前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜と、前記金属酸化膜上に形成されたゲート電極とを具備し、前記金属酸化膜中のシリコンのモル比率 ($\text{Si} / (\text{Si} + \text{Hf})$) が 2 % 以上 1 5 % 以下である M I S 型電界効果トランジスタを備えることを特徴とする半導体装置を提供する。なお、本発明におけるこのモル比率は百分率で示すものとする。

【 0 0 1 4 】

また本発明は、前記金属酸化膜中の多結晶粒の直径は 3 0 n m 以上 1 0 0 n m 未満であることを特徴とする上記の半導体装置を提供する。

【 0 0 1 5 】

また本発明は、前記金属酸化膜上にシリコン窒化膜を有する M I S 型電界効果トランジスタを備えることを特徴とする上記の半導体装置を提供する。

【 0 0 1 6 】

また本発明は、金属原料として有機金属ハフニウムと有機金属シリコン、酸化剤として水を用いるシリコン及びハフニウムを含む金属酸化膜の気相成長方法であって、水の分圧を 1 E - 6 Torr (1.33×10^{-4} P a) 以上、1 E - 5 Torr

($1.33 \times 10^{-3} \text{ Pa}$) 以下にすることを特徴とする上記の金属酸化膜の形成方法を提供する。

【0017】

また本発明は、前記有機金属ハフニウムがテトラキスジエチルアミノハフニウムであることを特徴とする上記の金属酸化膜の形成方法を提供する。

【0018】

また本発明は、前記有機金属シリコンがトリスジメチルアミノシランであることを特徴とする上記の金属酸化膜の形成方法を提供する。

【0019】

また本発明は、前記金属酸化膜形成時の基板温度が 150°C 以上 450°C 以下であることを特徴とする上記の金属酸化膜の形成方法を提供する。

【0020】

また本発明は、前記金属酸化膜形成時、途中で成膜を中断し、 500°C 以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする上記の金属酸化膜の形成方法を提供する。

【0021】

また本発明は、前記金属酸化膜形成時、膜厚が 1 nm 以下で成膜を中断し、 500°C 以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行うことを特徴とする上記の金属酸化膜の形成方法を提供する。

【0022】

また本発明は、前記金属酸化膜形成後、酸化性雰囲気下 500°C 以上でアニールを行うことを特徴とする金属酸化膜の形成方法を提供する。

【0023】

また本発明は、前記金属酸化膜形成後、不活性ガス雰囲気下 700°C 以上でアニールを行うことを特徴とする金属酸化膜の形成方法を提供する。

【0024】

また本発明は、上記のいずれかの半導体装置を製造する方法であって、前記金属酸化膜を、上記のいずれかの金属酸化膜の形成方法により形成することを特徴とする半導体装置の製造方法に関する。

【0025】

【発明の実施の形態】

本発明者らは、ハフニウムとシリコンを特定の組成範囲で含む金属酸化物をゲート酸化膜に用いると、その誘電率を高く維持しながら、高温加熱後のリーク特性が著しく向上することを見いだした。本発明は、この知見に基づいてなされたものである。

【0026】

図1に、以下の方法で作製したMISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(J_g)との関係を示す。

【0027】

シリコン(100)面上に分離領域をもうけ、シリコンチャンネル部にRTO法により SiO_2 を1.2nm形成し、MOCVD法によって HfO_2 膜又はシリコンのモル比率($Si/(Si+Hf)$)が13%である $HfSiO$ 膜を形成し、その後、600℃10分のアニールを酸素分圧 5×10^{-3} Torrの条件下で行い、続いて800℃30秒の窒素中アニールを行った。この上に、ゲートポリシリコンを150nm形成した。この後、通常のプロセスによってMISFETを形成し、ゲートリーク電流と電氣的ゲート膜厚を比較した。ソース/ドレインの活性化には1000℃10秒のランプ加熱を行った。

【0028】

図1に示すように、シリコンを含有しない HfO_2 をゲートに用いた場合には、電氣的ゲート膜厚がその誘電率から予想される値よりも厚くなり、またゲートリークも大きかった。一方、 $HfSiO$ を用いた場合には、電氣的ゲート膜厚は薄く、それより計算された誘電率は2.4であり HfO_2 の本来持つ誘電率と等しかった。また、ゲートリークも HfO_2 を用いた場合に比べて著しく少なかった。

【0029】

上述のとおり、本発明の主な特徴は、MISFETのゲート絶縁膜を構成する材料として、ハフニウムとシリコンを特定の組成範囲で含む金属酸化物を用いることにある。耐熱性、すなわちソース・ドレイン活性化アニール後のゲートリー

ク特性は、金属酸化膜中のシリコンのモル比率 ($\text{Si} / (\text{Si} + \text{Hf})$) が 2 % 以上で優位な差が現れ、それ以上ではシリコン濃度による影響は少ない。一方、誘電率は、金属酸化膜中のシリコンのモル比率 ($\text{Si} / (\text{Si} + \text{Hf})$) が 15 % まではほとんど変化しないが 15 % を超えると顕著に減少する。この関係を図 2 に示す。図 2 において、耐熱性は 1000℃ 10 秒のソース・ドレイン活性化アニールを行った MISFET のゲートリーク電流 (閾値から -1 V の電圧) で示している。

【0030】

MISFET のゲート絶縁膜は、上部ポリシリコン電極との反応、エッチングダメージ等の製造プロセスによる影響を受けやすいため、次に、膜本来の特性を調べるため上部メタル電極による以下のような実験を行った。HfO₂ および HfSiO は下地酸化膜 1.2 nm の上に所定の膜厚でそれぞれ成膜し、600℃ 10 分のアニールを酸素分圧 5×10^{-3} Torr の条件下で行い、続いて 800℃ 30 秒の窒素中アニールを行った。なお、XPS 測定の結果、HfSiO の Si のモル比率 ($\text{Si} / (\text{Si} + \text{Hf})$) は 13 % であった。

【0031】

これらの試料に、500℃ 20 分の水素アロイ処理を施した後、面積 $1.3 \times 10^{-4} \text{ cm}^2$ の金電極を蒸着して、CV、IV 測定を行った。結果を図 3 及び図 4 に示す。このように、蒸着した金電極をもちいることにより、MISFET ゲート形成時のプロセスによる影響を排除することができる。CV 測定の結果より、HfO₂ および HfSiO とともに、顕著な界面準位の存在は認められず、良好な特性を示している。物理膜厚を同じにした場合、電気的膜厚はほぼ同じであり、HfSiO の誘電率が HfO₂ 膜のものと同程度であることを示唆している。

【0032】

図 5 に酸化膜換算膜厚とゲートリーク電流との関係を示した。酸化膜換算膜厚は CV 測定により求めた。ゲートリーク電流は CV 測定より求めた閾値電圧 V_{fb} 値から -1 V の電圧におけるリーク電流としてプロットした。HfO₂ および HfSiO はほぼ同じリーク電流値を示した。図 5 より、シリコンを微量に添加した HfSiO 膜はシリコンを添加しない HfO₂ 膜と同程度の酸化膜換算膜厚

とゲートリーク電流特性を備えていることがわかる。このような上部金電極を用いた場合の特性に比較して、図 1 に示したように M I S F E T を形成した後の酸化膜換算膜厚とゲートリーク電流特性は、S i を添加しない H f O₂ の場合、酸化膜換算膜厚及びゲートリーク電流が共に増大する。一方、S i を微量添加した H f S i O の場合ではほぼ上部金電極を用いた場合の特性と同じになる。これは、M I S F E T プロセスにおける高温によって H f O₂ は劣化するが、シリコンを微量添加するとほとんど劣化しないということを示している。

【 0 0 3 3 】

本発明の原理は主に以下に示す二点よりなると考えられる。

【 0 0 3 4 】

第一点は結晶構造の変化である。図 6 は 1 . 2 n m の S i O₂ 上に H f S i O 又は H f O₂ を 3 . 5 n m 成膜し、1 0 0 0 °C、1 0 秒のソース・ドレイン活性化アニール後の断面および平面 T E M 写真である。図 6 (b) に示すようにシリコンを添加しない場合には H f O₂ のグレインサイズは 1 0 0 n m ~ 3 0 0 n m であるが、図 6 (a) に示すようにシリコンを微量に含有すると、グレインサイズは 1 0 0 n m 未満へ減少する。それとともに、膜表面のラフネスも S i を含有しない場合に比べてシリコンを微量に含有すると改善され、平坦性が向上する。ゲートリークは h i g h - k 絶縁膜の凹部がウィークスポットとなって流れると考えられ、シリコンを微量に含有すると膜表面のラフネスが減少し、結晶化後のリーク特性が改善されるものと推察される。この観点から、本発明においては、金属酸化膜中の多結晶粒の直径を 1 0 0 n m 未満に制御することが好ましい。また、多結晶粒の制御性や膜特性の点から多結晶粒の直径は 3 0 n m 以上が好ましい。

【 0 0 3 5 】

原理の第二点目は、シリコン濃度が少ない場合、結晶化した H f O₂ 内にはシリコンがほとんど入らないことである。図 7 は T E M E E L S により測定した結晶中のシリコン濃度と膜全体のシリコン濃度の関係を示したものである。この図から、膜全体のシリコン濃度（モル比率（S i / (S i + H f) ））が 1 5 % までは結晶中にほとんどシリコンは存在せず、グレインバウンダリー（結晶粒界

）に掃き出されているが、15%を超えると多量のシリコンが結晶中に導入されていることがわかる。結晶中にシリコンが導入されると、 HfO_2 結晶の完全性が崩れ、本来完全性の高い HfO_2 結晶で得られる誘電率が減少し、アモルファス HfO_2 の誘電率に近づく。図2において、膜全体のシリコン濃度が15%に達するまでは誘電率は導入された SiO_2 と HfO_2 結晶の体積比率によって漸減する。シリコン濃度が15%を超えると HfO_2 結晶内に Si が入り、 HfO_2 の結晶性を悪化させ、その結果として HfO_2 の誘電率を著しく減少させるために急激に膜全体の誘電率が減少するものと推察される。また、グレインバウンダリーに掃き出された SiO_2 によって、グレインバウンダリーに存在する、いわゆるウィークスポットが埋められるために、高温における HfO_2 層と多結晶シリコン層との反応が抑制されたものと推察される。

【0036】

以上述べたように微量に含有されるシリコンは、 HfO_2 の結晶化においてグレインの成長を阻害してグレインサイズを低下させ、その結果としてリーク電流が低減できると共に、シリコン自身はグレインバウンダリーに掃き出されて結晶中には入らず、 HfO_2 結晶の結晶性を悪化させず、その結果として誘電率を減少させない。グレインサイズの低減効果はシリコン濃度が2%以上で顕在化する。一方、 HfO_2 結晶グレイン内へのシリコンの導入量はシリコン濃度が15%を超えると著しく増大する。従って、本発明の効果が十分に得られるのはシリコン濃度（モル比率（ $\text{Si} / (\text{Si} + \text{Hf})$ ））が2%以上15%以下の領域である。

【0037】

以下に、本発明の製造方法を、従来技術のハフニウム酸化膜の製造方法と比較しながら、図面を参照して説明する。

【0038】

図8に、原子層成長法といわれる従来法によるハフニウム・シリコン酸化膜の製造方法を模式的に示す。この方法においては、図示するようにシリコン基板上にシリコン酸化膜を形成し（図8（a））、ハフニウム原料を吸着させ（図8（b））、その後、水を供給して、吸着したハフニウム原料を酸化する（図8（c））。

))。水を十分にパージした後、再びハフニウム原料を導入し、酸化したハフニウム上に吸着させる(図8(b))。この工程を繰り返すことによって HfO_2 の成膜を行い、最終的にアニールにより膜の焼き締めを行う(図8(d))。 HfO_2 にシリコンを含有させる場合には、その濃度に相当するサイクルごとに Si 原料を供給し、 HfO_2 と SiO_2 の層状構造を形成する。このような成膜方法は、膜厚の均一性、段差被覆性に優れる。しかしながら、このように層状に成膜を行う方法は、何回も供給と排気を繰り返す必要があるためにスループットが低く、特にアミド系原料のように水と激しく反応する原料を用いた場合は、水のパージ時間が長くなり、さらにスループットの低下を招く。また、 Si 濃度が少ないハフニウム・シリコン酸化膜を形成する場合、膜中の SiO_2 層同士の間隔が広くなり、膜中の組成分布が不均一となる。

【0039】

この問題点を解決するために基板温度を上げて Hf 原料と酸素を同時に照射するCVD法が提案されている。 Si を含有させる場合には、 Si 原料も同時に導入し、膜中シリコン濃度は Hf 原料と Si 原料の流量比によって制御することができる。このような方法を用いると、 Si と Hf が均一に混合した膜を形成することが可能になる。しかしながら、酸化剤として酸化力の弱い酸素を用いているために、基板温度を高める必要があり、このような条件下では、下地 Si 基板の再酸化が起こり、 HfO_2 層あるいは HfSiO 層と Si 基板との間に厚い遷移層が形成されてゲートの電氣的膜厚を増加させてしまうという問題がある。

【0040】

図9に、本発明のシリコン含有ハフニウム酸化膜(HfSiO 膜)の製造過程を模式的に示す。まず、図示するようにシリコン基板上に RTO 等によりシリコン酸化膜を形成する(図9(a))。このシリコン酸化膜に代えて、或いはこの酸化膜上に、シリコン窒化膜やシリコン酸窒化膜を設けてもよい。次に、 MOCVD 法により、このシリコン酸化膜上へ、 Si 原料と Hf 原料と水の同時照射を行って成膜する(図9(b))。次に、酸化性雰囲気下でアニールを行い(図9(c))、その後不活性雰囲気下でアニールを行う(図9(d))。

【0041】

一般的に有機 H f 原料及び有機 S i 原料は水との反応性が高く、特にアミド系原料は水と激しく反応する。そのため、成膜工程においては水分圧の制御が重要であり、 $10^{-6} \sim 10^{-5}$ Torr ($1.33 \times 10^{-4} \sim 1.33 \times 10^{-3}$ Pa) に成膜装置内の水分圧を制御することが必要である。

【0042】

図10は、MOCVD法によるテトラキスジエチルアミノハフニウム (Hf [NEt₂]₄) を用いた Hf O₂ の成膜時における水分圧と、膜中不純物量 (膜中炭素量および膜中 OH 基量) との関係を示したものである。この図から、成膜装置内の水分圧が $10^{-6} \sim 10^{-5}$ Torr ($1.33 \times 10^{-4} \sim 1.33 \times 10^{-3}$ Pa) の時に膜中炭素量と OH 基量をいずれも低く抑えることができることがわかる。テトラキスジエチルアミノハフニウム (Hf [NEt₂]₄) と水との反応は、



と記述される。Hf 原料中の有機基はジエチルアミンとなり離脱するが、水の分圧が 10^{-6} Torr (1.33×10^{-4} Pa) 以下になると未反応の有機基に由来する炭素が膜中に取り込まれ、リークの原因となる。また、水分圧が 10^{-5} Torr (1.33×10^{-3} Pa) を超えると水に起因する OH 基が膜中に残り、信頼性を著しく低下させる。

【0043】

成膜時の基板温度は 450℃以下が望ましい。これは、テトラキスジエチルアミノハフニウム (Hf [NEt₂]₄) が 450℃以上で熱分解を起こし、水によって有機基を有効に離脱させることが困難となり、膜中に多量の炭素が導入されるからである。一方、成膜速度等の観点から成膜時の基板温度は 150℃以上が好ましい。

【0044】

本成膜方法では、成膜装置内の水分圧を、水の導入量と排気量を一定にすることによって上記の範囲内に制御することができる。このとき、装置内壁の温度を 120℃以上に上げて、内壁に水を吸着させないことも有効である。また、マスフィルター等によって装置内の水分圧を測定し、水の導入量を調節することによって、装置内の水分圧を一定に保つこともできる。

【0045】

HfSiO₂の成膜について、さらに具体的成膜条件を挙げて説明する。

【0046】

まず、8インチのP型ウェハを基板として、表面に1.2nmの熱酸化膜を形成した。次に、この熱酸化膜上に、テトラキスジエチルアミノハフニウム (Hf[NEt₂]₄) およびトリシメチルアミノシリコン (HSi[NMe₂]₃) を、H₂Oと同時供給をすることにより成膜を行った。成膜温度は400℃とした。その後、付設されたチャンバ内で600℃、10分のアニールを酸素分圧5×10⁻³Torr (0.665Pa) の条件下で行った。

【0047】

図11に、Hf原料の流量を0.6sccmに固定したときの、Si原料の流量と膜中のSi濃度 (モル比率 (Si / (Si + Hf))) との関係を示す。Si濃度は試料表面のXPS測定により見積もった。図11から、Si原料の導入量を増加させるほど、膜中へのSiの取り込み量が多くなることがわかる。Si原料の流量が5sccmを超えるとSi濃度の増加が飽和する傾向があるものの、Si原料を導入することにより、少なくともSi濃度が40%程度までのシリケート膜を形成することが可能である。

【0048】

図12に、成膜後の8インチウェハ中央部および周辺30mm (中心より70mm) の部分での、Si2pのXPSスペクトルを示す。2つのスペクトルにおいて、それぞれのシリケート起因のピークとSi基板からのピークは同じ強度であり、ウェハ面内で組成の均質なシリケート膜が形成されていることが確認できる。

【0049】

また、金属酸化膜形成時、途中で成膜を中断し、500℃以上で酸化性雰囲気中アニールを行い、その後に再び、所定の膜厚に達するまで成膜を行ってもよい。これにより、前記金属酸化膜中の不純物炭素量をさらに効果的に減少させ、その結果として、リーク電流、膜中電荷をさらに減少させることができる。成長中断は厚み1nmごとに行うことがさらに効果的であり、特に第一層目に行うアニ

ールは大きな効果を及ぼす。

【0 0 5 0】

上述の成膜工程の後には、酸化性雰囲気下でアニールを行うことが好ましい。これにより、膜中の残留炭素を減少させ、また酸素欠損を回復することができる。このアニールは、十分な効果を得る点から、5 0 0℃以上で行うことが好ましい。また、効率性等の点から、8 0 0℃以下で行うことが好ましく、7 0 0℃未満で行うことがより好ましい。また、アニール時間は、処理温度に応じて、例えば1分～30分の範囲に適宜設定することができる。

【0 0 5 1】

上述の成膜工程中および成膜工程後のアニールの酸化性雰囲気は、酸化性ガス中、あるいはヘリウム、ネオン、アルゴン等の希ガスや窒素ガス等の他の不活性ガスと酸化性ガスとの混合ガスを用いることができる。酸化性ガスとしては、酸素、オゾン、NO、N₂O等を用いることができる。酸化性雰囲気中の酸化性ガスの圧力は例えば1 0⁻⁴Torr (1. 3 3 × 1 0⁻² P a) 以上、大気圧以下の範囲で適宜設定することができる。

【0 0 5 2】

また、成膜工程の後あるいは酸化性雰囲気下のアニールの後に、不活性雰囲気下でアニールを行うことが好ましい。このアニールはRTAにより良好に行うことができる。このアニールを行うことにより、膜中の構造欠陥をアニールアウトし、膜を緻密化することができ、その結果、SiO₂換算膜厚を減少させるとともにリーク電流を低下させることができる。このアニールは、十分な効果を得る点から、7 0 0℃以上で行うことが好ましい。また、効率性等の点から、1 0 0 0℃以下で行うことが好ましく、9 0 0℃以下で行うことがより好ましい。また、アニール時間は、処理温度に応じて、例えば10秒～5分の範囲に適宜設定することができる。酸化性雰囲気下のアニール後にこの不活性雰囲気下のアニールを行う場合は、酸化性雰囲気下のアニールの温度より高い温度で行うことが好ましい。不活性雰囲気は、ヘリウム、ネオン、アルゴン等の希ガスや、窒素ガス、あるいはこれらの混合ガスの雰囲気を用いることができる。

【0 0 5 3】

さらに、上述の H f S i O 膜へ、成膜後に窒素を導入してもよい。窒素の導入は、例えば、アンモニア雰囲気中 8 0 0 ℃ 程度でのアニール処理、あるいは 4 0 0 ℃ 程度での窒素ラジカル処理により行うことができる。これにより、上述の効果を確保し、良好な特性を維持しつつ、ゲート電極からのホウ素の突き抜けを抑制することが可能である。

【 0 0 5 4 】

また、上述の H f S i O 膜上に S i N 等のシリコン窒化膜を堆積してもよい。これにより、上部ポリシリコンとの反応抑制、ホウ素のつきぬけ抑制、ホウ素、リン等の不純物の H f S i O 膜中への拡散を抑制することができ、結果、H f S i O 膜中の固定電荷を減少させ、高い移動度が得られる。

【 0 0 5 5 】

以上説明したように、本発明における絶縁膜は、高い比誘電率を有しながら、耐熱性に優れ、低リーク特性に極めて優れたゲート絶縁膜を形成することができる。また本発明の製造方法によれば、このような特性を有する絶縁膜を容易に形成することができる。

【 0 0 5 6 】

【実施例】

以下、図面を参照しつつ、本発明における M I S F E T (Metal-Insulator-Semiconductor Field Effect Transistor) 及びその製造方法を説明する。

【 0 0 5 7 】

(実施例 1)

図 1 3 に、本実施例の M I S F E T の模式的断面構造を示す。

【 0 0 5 8 】

図示するように、分離領域 2 を有するシリコン基板 1 上には、ゲート電極 8 / 金属酸化膜 7 / 界面絶縁膜 6 の積層からなる M I S 構造が形成されており、ゲート電極 8 はゲート側壁 9 に取り囲まれている。シリコン基板 1 中には、高濃度の不純物を拡散した深い拡散領域 3、浅い拡散領域 4 およびサリサイド 5 が、M I S 構造に対して自己整合的に形成されている。

【 0 0 5 9 】

次に、図14を参照して本実施例のMISFETの製造方法を説明する。

【0060】

まず、通常の工程により素子分離領域2を設けたシリコン基板1を準備する。この基板を希HF水溶液で処理してシリコン基板表面の自然酸化膜を除去し、RTA法等によって厚み1.2nmの熱酸化膜6を形成する。この酸化膜厚は最終的に必要となる電氣的膜厚によって適宜調整することができるが、厚いほど信頼性が向上する。

【0061】

次に、MOCVD法により、Si濃度10%の金属酸化膜7 (HfSiO膜) を3.5nm堆積する。その際、基板温度400℃、成膜原料としてテトラキスジエチルアミノハフニウム ($\text{Hf}[\text{NEt}_2]_4$) 及びトリスジメチルアミノシリコン ($\text{HSi}[\text{NMt}_2]_3$) を用い、 H_2O との同時供給をすることにより成膜を行った(図14(a))。水はマスフローコントローラによって流量を制御し、成膜中の水分圧は $8 \times 10^{-6} \text{Torr}$ ($1.064 \times 10^{-3} \text{Pa}$) とした。成膜時間は5分とした。Hf原料は87℃の容器より流量20sccmの窒素キャリアガスのバブリングにより輸送し、Si原料はマスフローコントローラによって流量を制御して供給した。Si原料の温度は48℃とした。

【0062】

成膜後、600℃10分のアニールを酸素分圧 $5 \times 10^{-3} \text{Torr}$ (0.665Pa) の条件下で行い、続いて800℃30秒の窒素中アニールを行った。

【0063】

こうして形成された金属酸化膜7上にポリシリコン膜8を形成した(図14(b))。ゲート電極材料としては、ポリシリコンの他、高融点金属およびその窒化物など、任意のものを使用することができる。

【0064】

引き続き、ポリシリコン膜8を所望の形状に加工してゲート電極を形成した後、このゲート電極形状に自己整合的に浅い拡散層領域4を形成する(図14(c))。本実施例においてゲート電極8の加工時には、金属酸化膜7および界面絶縁膜6は加工されずに、シリコン表面の活性領域に残されている。したがって、

浅い拡散層領域 4 を形成するためのイオン注入は、これらの絶縁膜を介して行なわれる。金属酸化膜 7 および界面絶縁膜 6 を除去した後に、イオン注入することにより、浅い拡散層領域を形成することもできる。

【0 0 6 5】

次に、イオン注入されたゲート電極の活性化熱処理（1 0 0 0℃以上）を行った後、ゲート側壁 9 を形成した。その後、深い拡散層 3 を形成し、拡散層の熱活性化（9 0 0℃程度）を行った（図 1 4（d））。

【0 0 6 6】

次に、深い拡散層 3 の上部の金属酸化膜 7 および界面絶縁膜 6 を除去し、その後通常工程でサリサイド 5 を形成し、図 1 3 に示される M I S F E T を得た。

【0 0 6 7】

上述した M I S F E T は、現在通常に用いられている工程に本願発明を応用した実施例を述べたが、ゲート絶縁膜としてシリコン酸化膜を用いてゲート構造を作りこんだ後、ゲート電極であるポリシリコンおよびゲート絶縁膜であるシリコン酸化膜を除去して、そこに本願発明によるゲート絶縁膜を形成し、再びゲート電極となるポリシリコンを形成する、いわゆる、リプレースメント型の工程にも応用しても、同様に良好な結果が得られる。また、ゲート電極となるポリシリコンがメタルに置き換えられた、いわゆるメタルゲート構造においても、同様に良好な結果が得られる。

【0 0 6 8】

【発明の効果】

以上詳述したように本発明によれば、ゲート絶縁膜に比誘電率の高い H i g h - K 材料を用いながら、低リーク特性に優れた M I S 型電界効果トランジスタを有する半導体装置が提供できる。

【0 0 6 9】

また本発明によれば、耐熱性に優れ且つ比誘電率の高い H i g h - K 材料からなるゲート絶縁膜を提供でき、これを用いるため、半導体装置の製造プロセスにおける熱処理時の特性劣化を抑制することができる。結果、リーク電流が小さく

、絶縁膜容量が非常に高い、MIS型電界効果トランジスタを形成でき、高速かつ低消費電力のシリコンLSIを提供することができる。

【図面の簡単な説明】

【図1】

MISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(J_g)との関係を示す図である。

【図2】

ゲート絶縁膜を構成する金属酸化膜中のシリコン濃度(モル比率: $Si/(Si+Hf)$)とゲートリーク電流との関係を示す図である。

【図3】

金電極を用いて測定した HfO_2 膜および $HfSiO$ 膜のCV特性を示す図である。

【図4】

金電極を用いて測定した HfO_2 膜および $HfSiO$ 膜の電圧とリーク電流の関係を示す図である。

【図5】

MISFETの酸化膜換算膜厚(EOT)とゲートリーク電流(J_g)との関係を示す図である。

【図6】

アニール後における SiO_2 上の $HfSiO$ 膜(図6(a))及び HfO_2 膜(図6(b))の断面および平面TEM写真を示す図である。

【図7】

TEM EELSにより測定した結晶中のシリコン濃度と膜全体のシリコン濃度の関係を示す図である。

【図8】

原子層成長法による従来のハフニウム・シリコン酸化膜の製造方法の模式的説明図である。

【図9】

本発明における $HfSiO$ 膜の形成方法の模式的説明図である。

【図 1 0】

MOCVD法によるHfO₂の成膜時における水分圧と、膜中不純物量（膜中炭素量および膜中OH基量）との関係を示す図である。

【図 1 1】

MOCVD法によるHfSiO膜の成膜において、Hf原料の流量を固定したときの、Si原料の流量と膜中Si濃度（モル比率（Si / (Si + Hf)））との関係を示す図である。

【図 1 2】

本発明の方法により成膜されたウエハ表面のXPSスペクトルを示す図である。

【図 1 3】

本発明の実施例のMISFETの模式的断面図である。

【図 1 4】

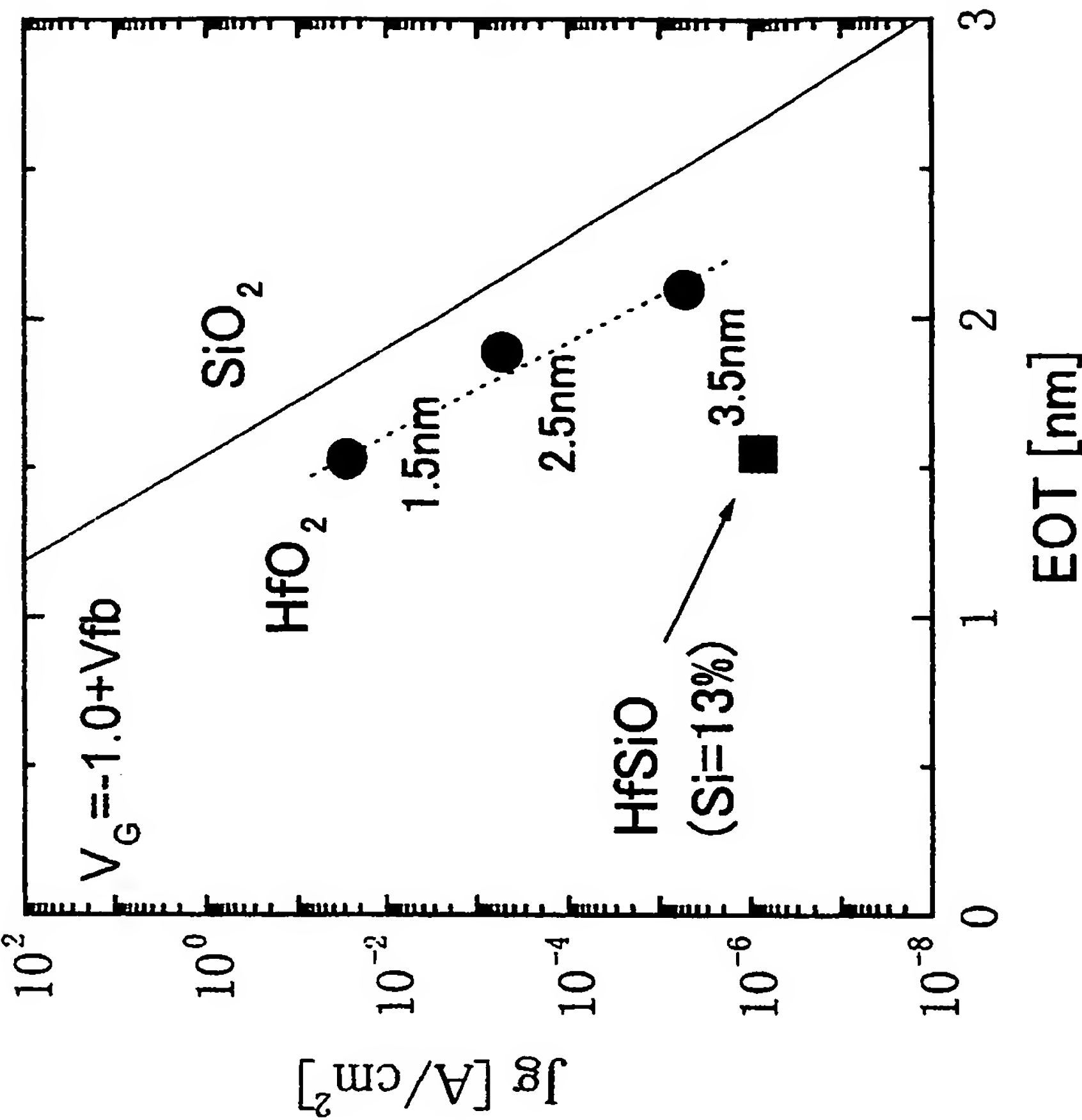
本発明の実施例のMISFETの製造方法を示す工程断面図である。

【符号の説明】

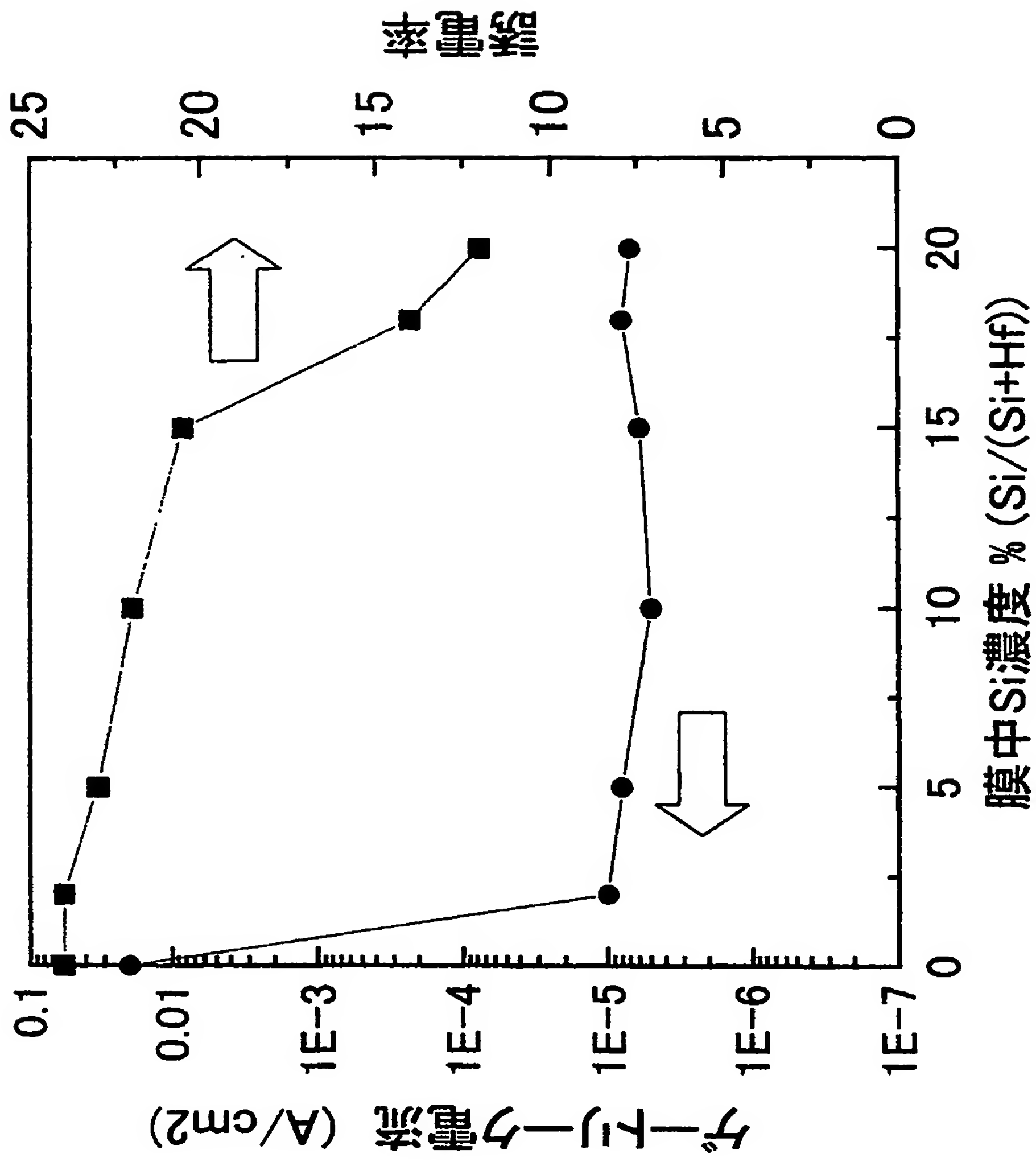
- 1 シリコン基板
- 2 分離領域
- 3 深い拡散領域
- 4 浅い拡散領域
- 5 サリサイド
- 6 界面絶縁膜
- 7 金属酸化膜
- 8 ゲート電極
- 9 ゲート側壁

【書類名】 図面

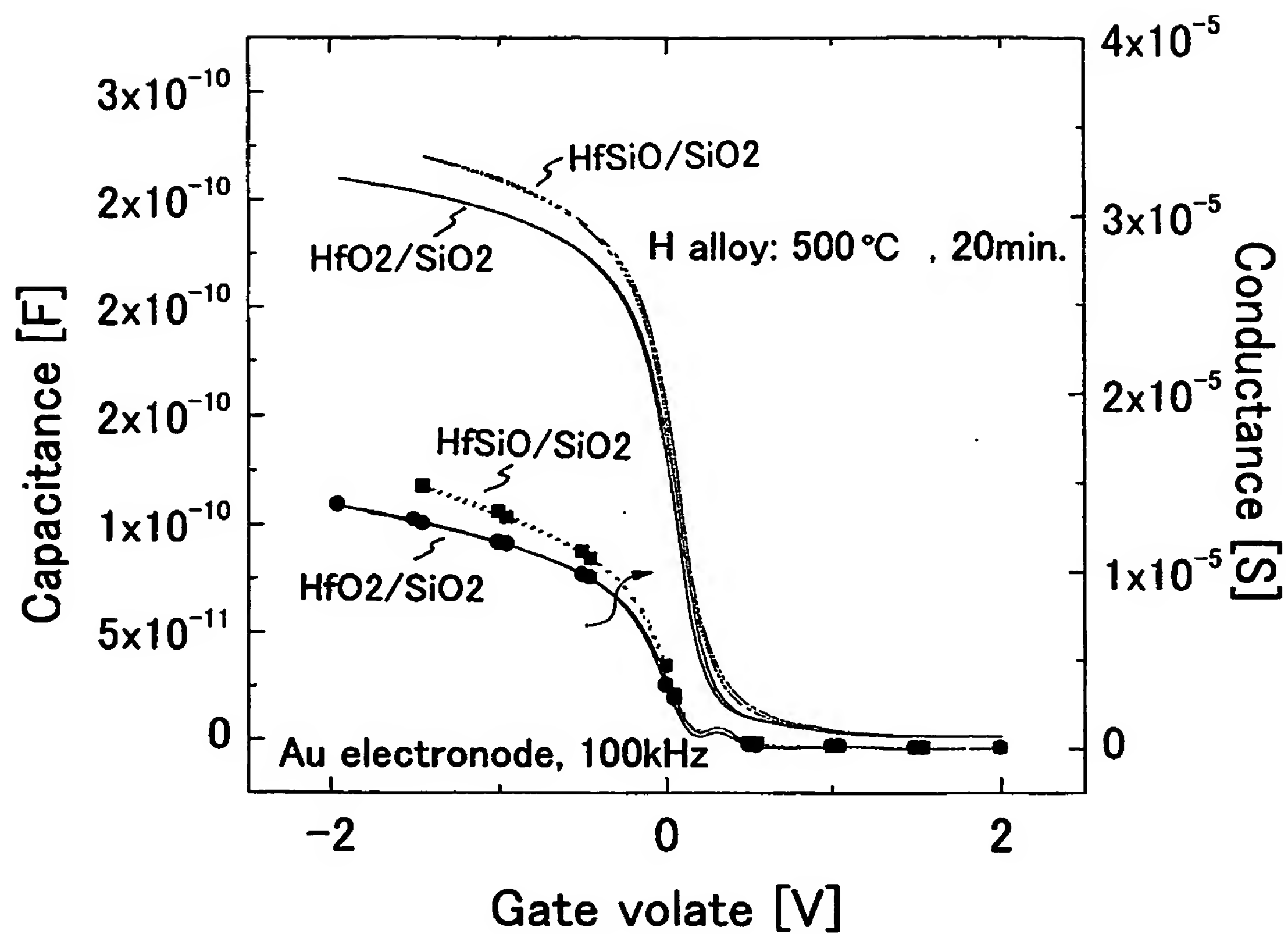
【図 1】



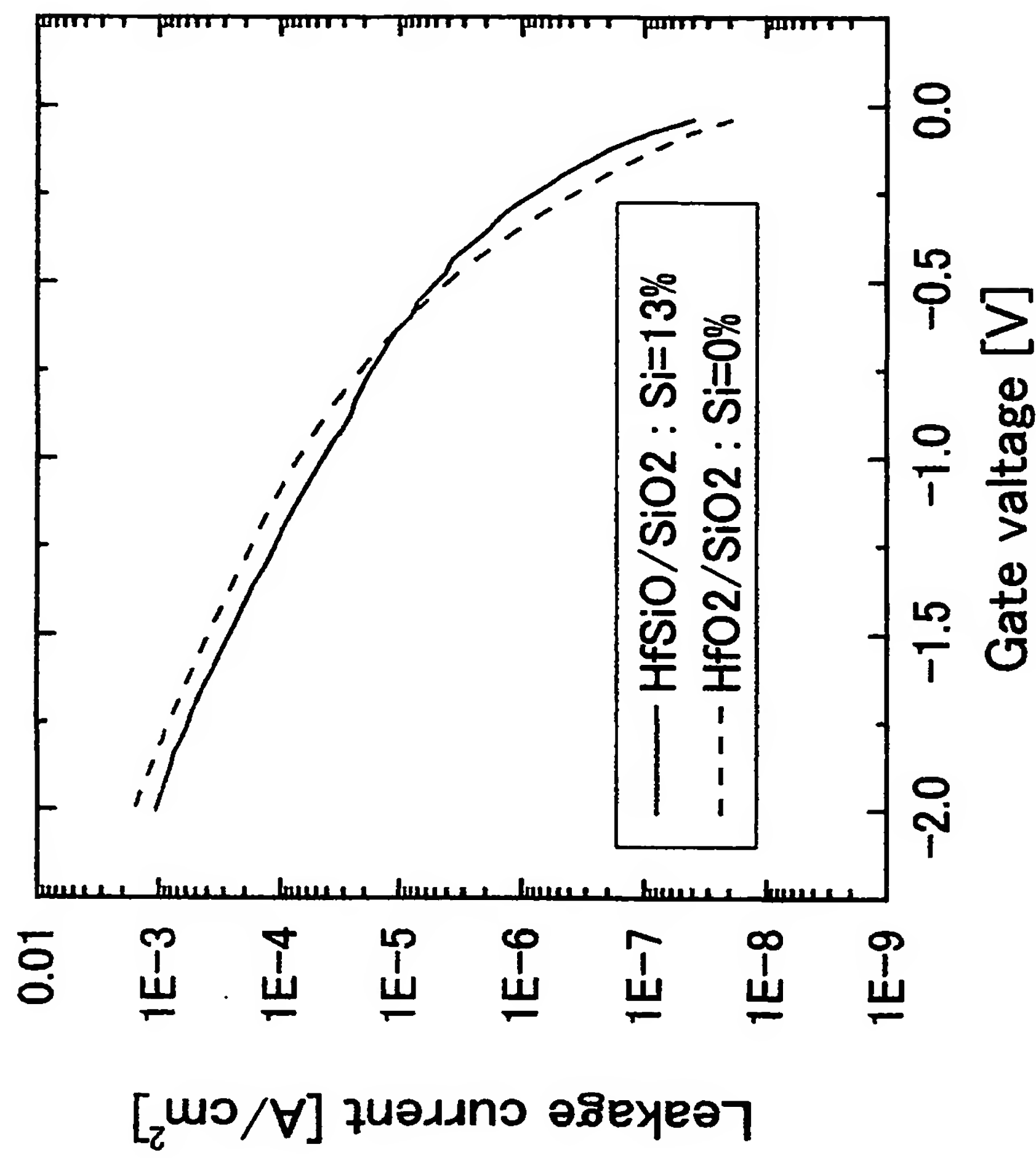
【図 2】



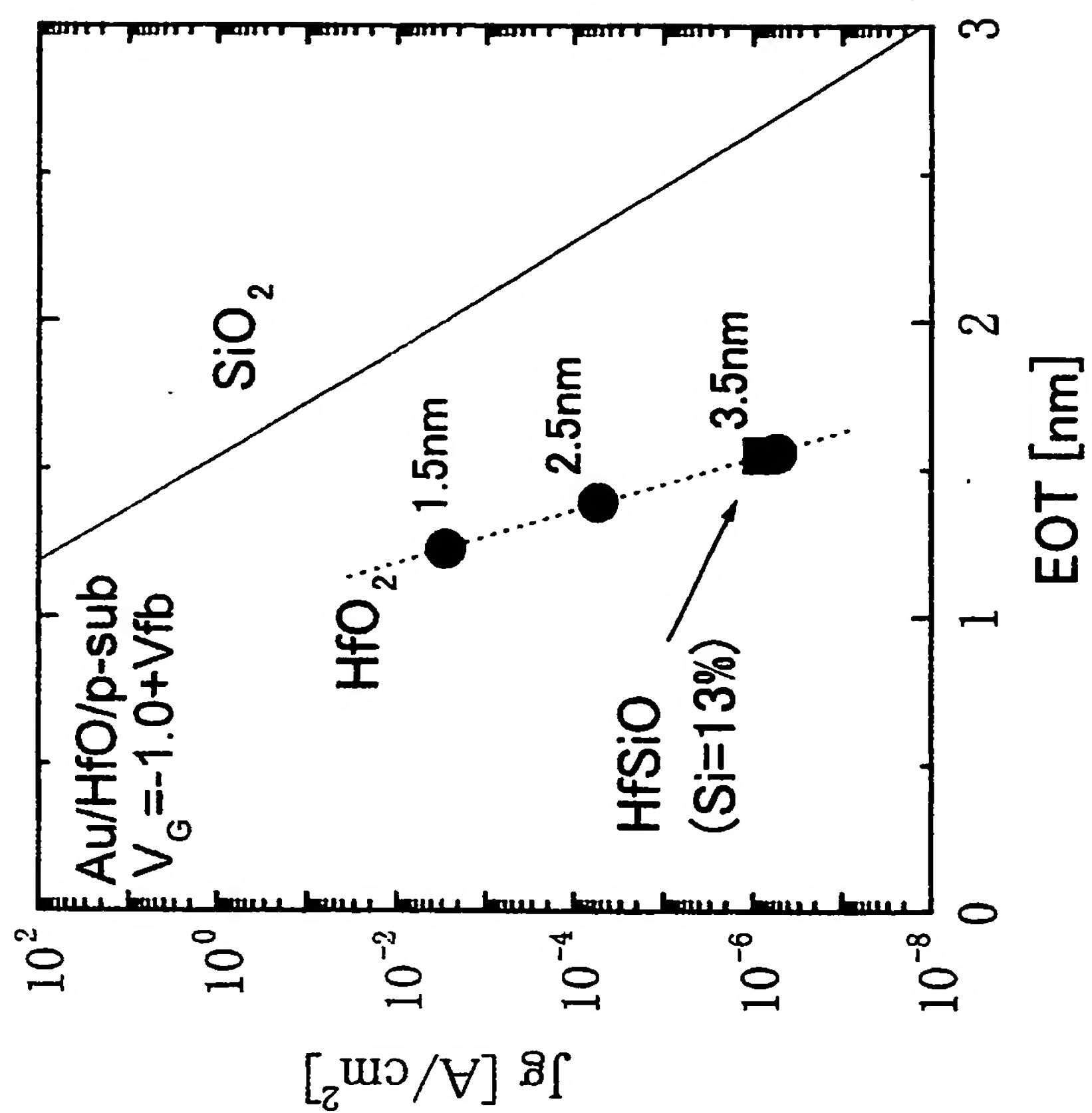
【図 3】



【図 4】

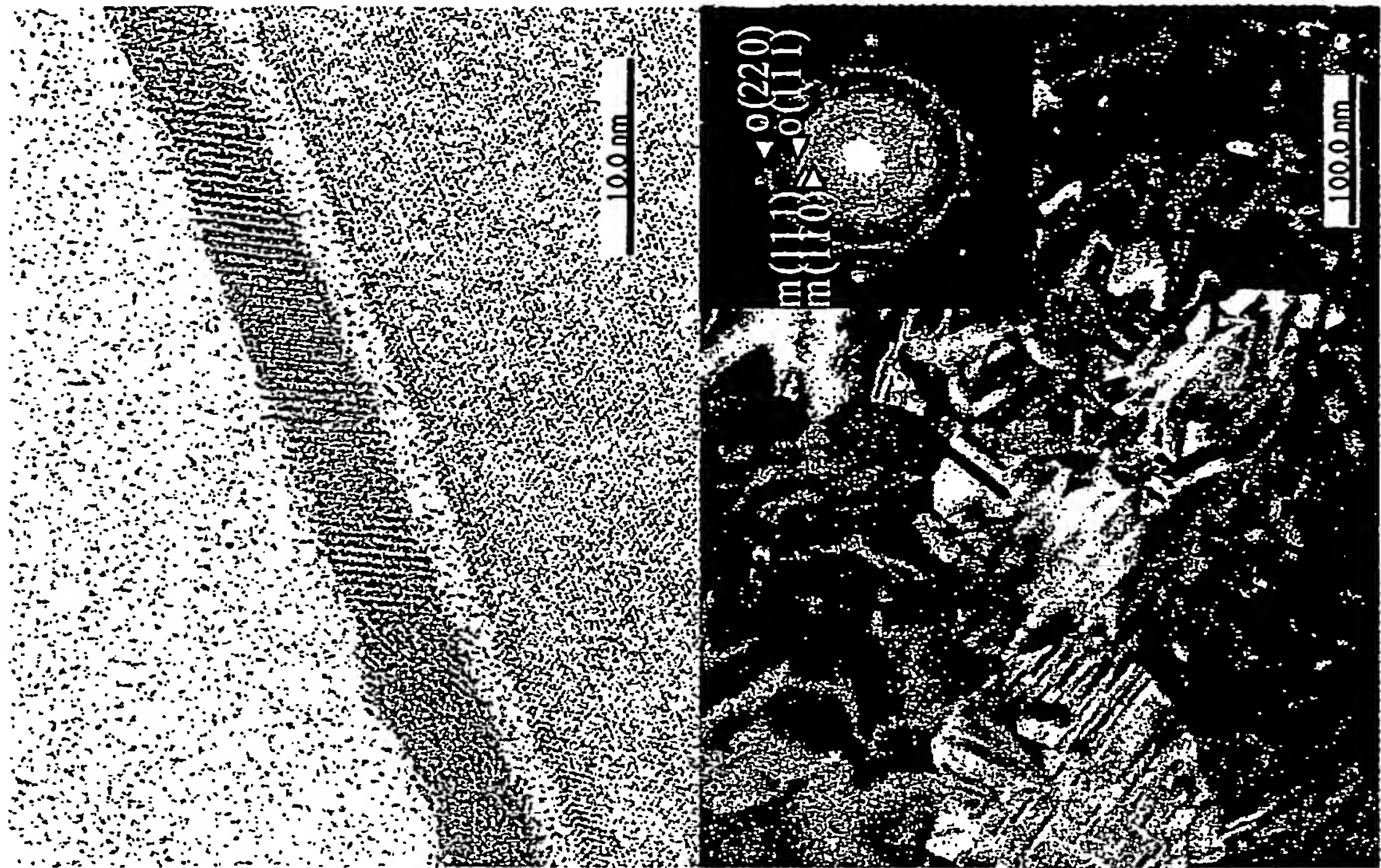


【図 5】



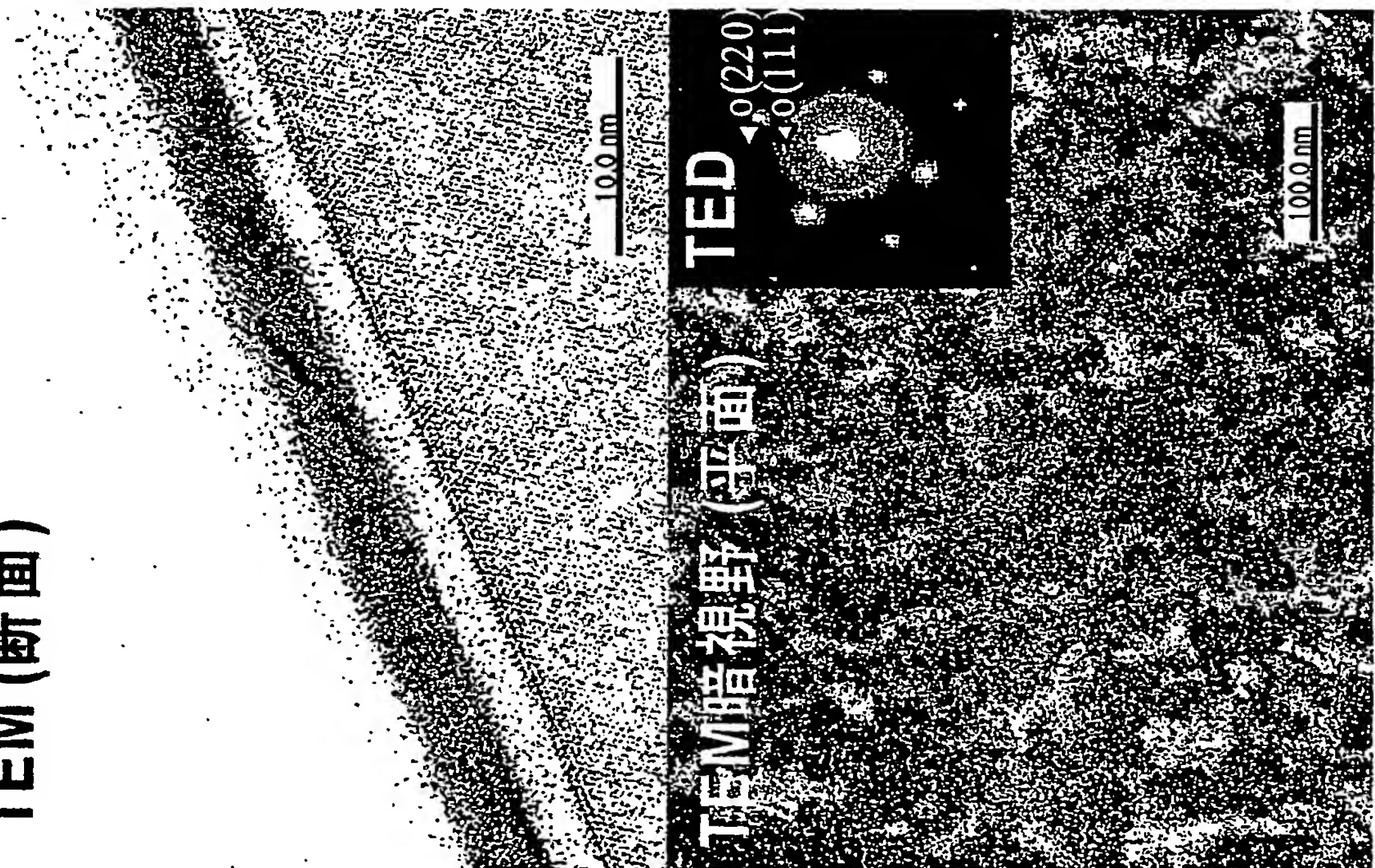
【図 6】

(b) HfO_2



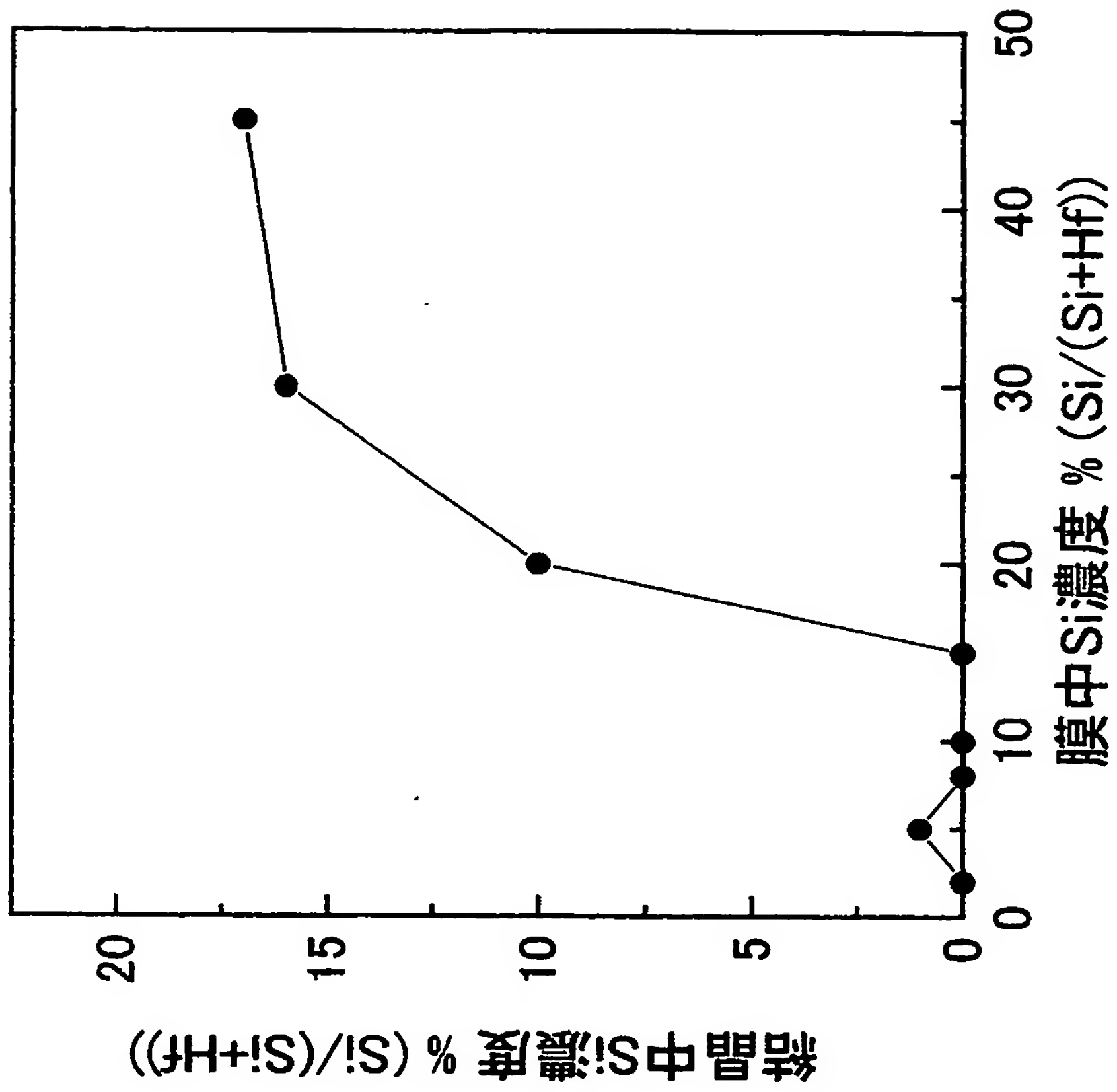
(a) HfSiO

TEM (断面)

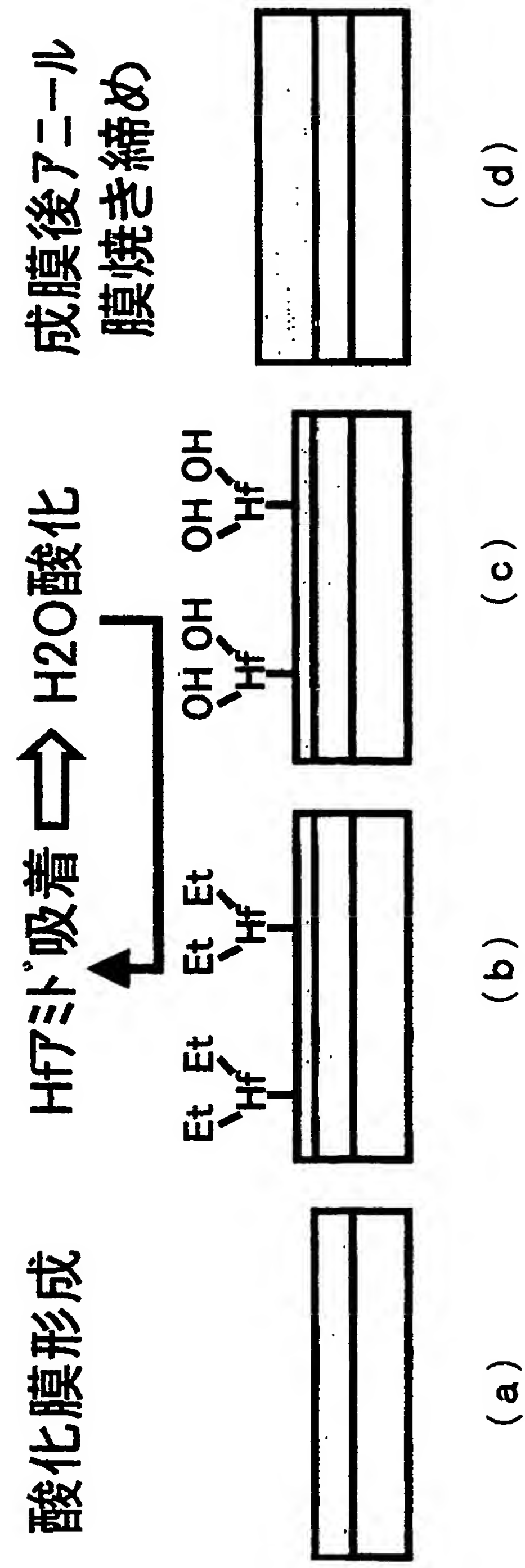


BEST AVAILABLE COPY

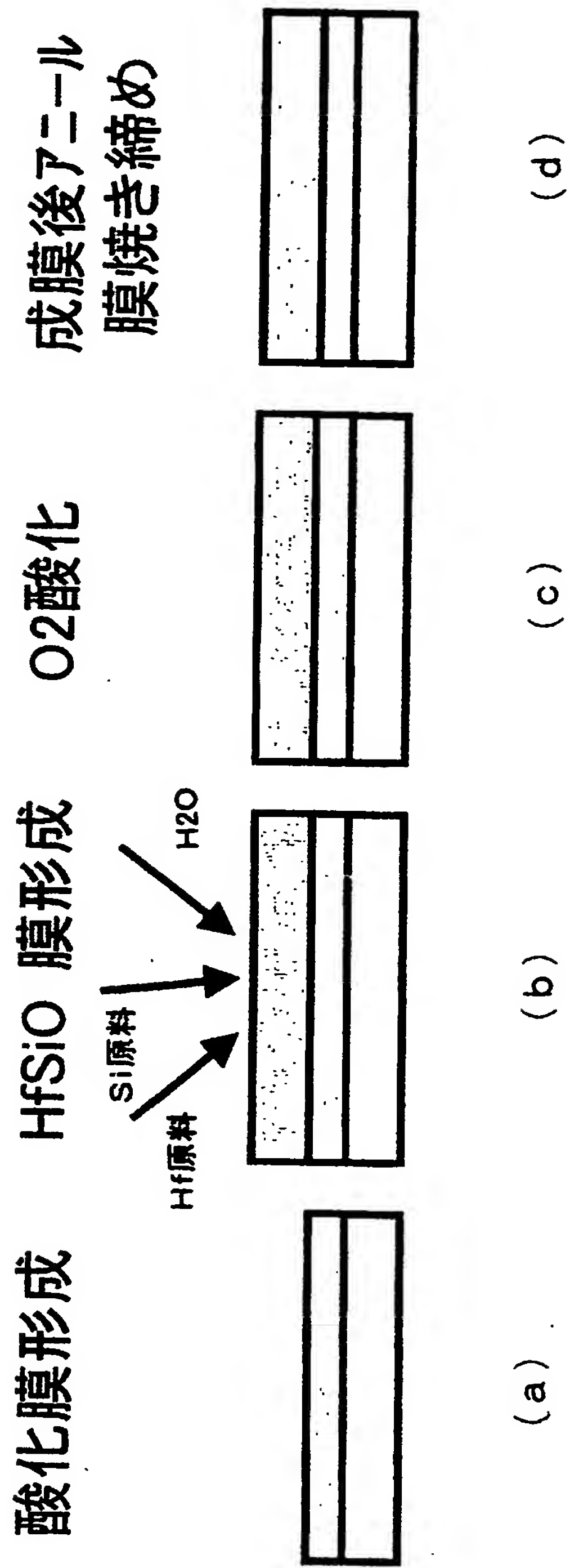
【図 7】



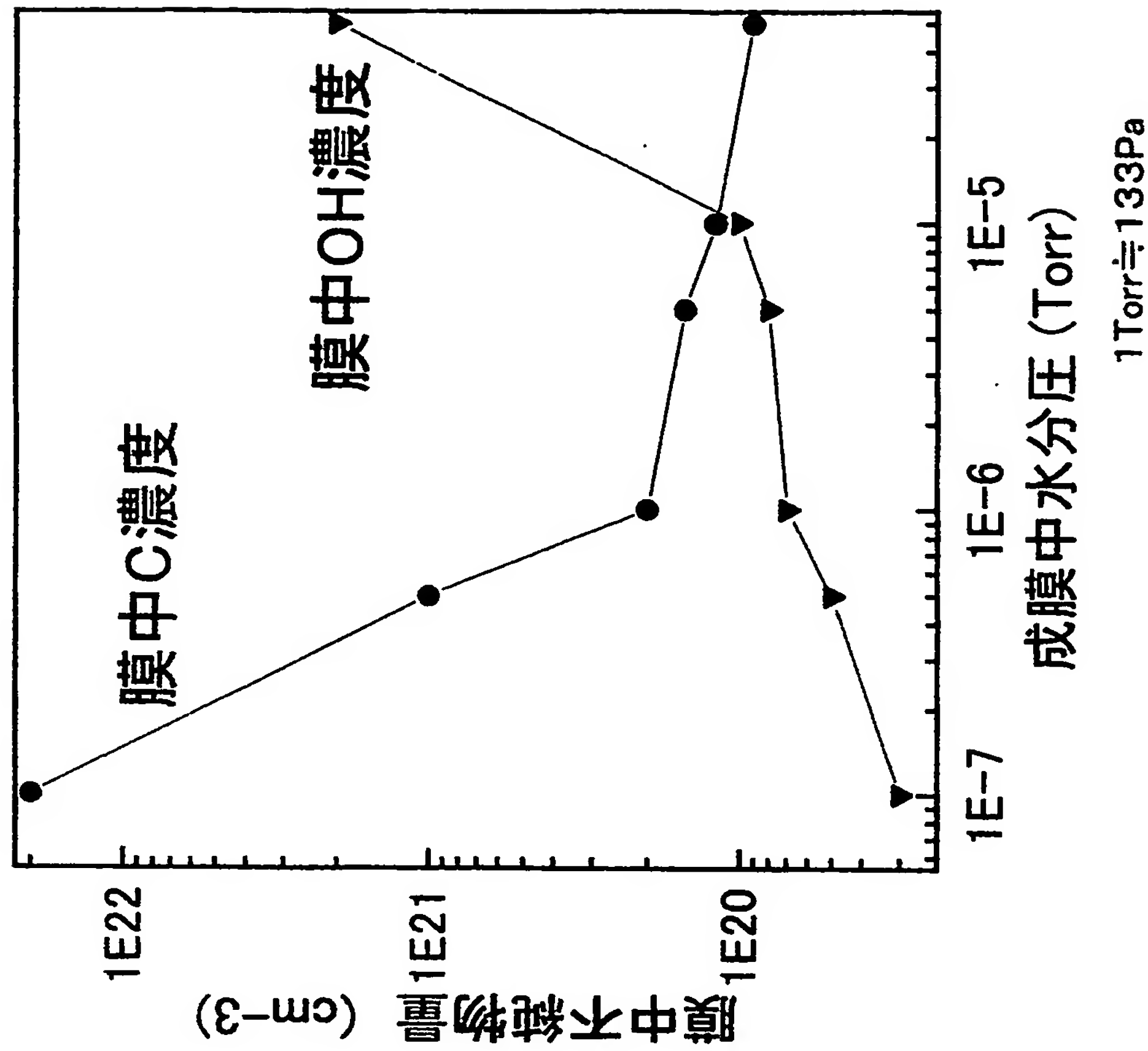
【図 8】



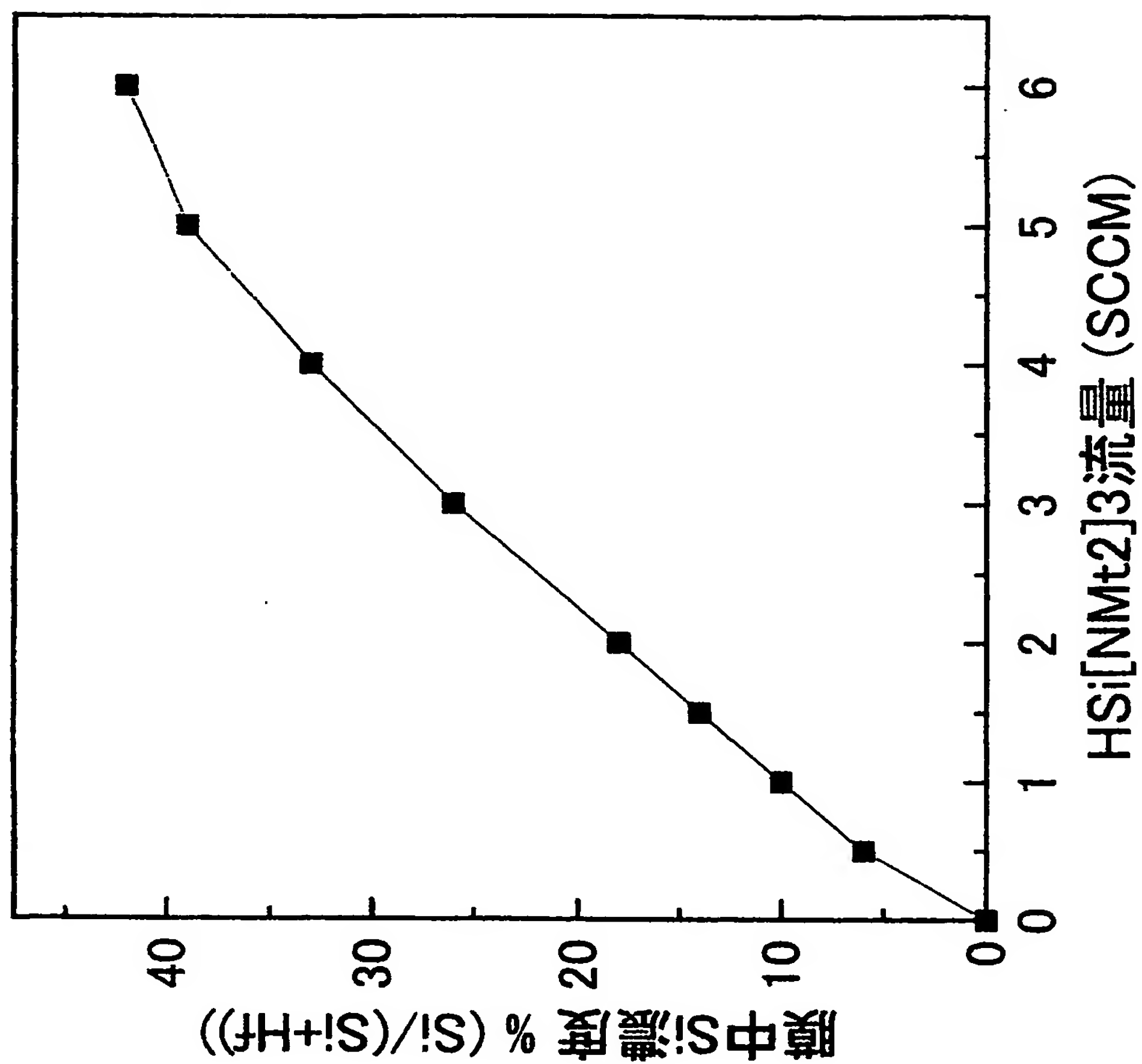
【図 9】



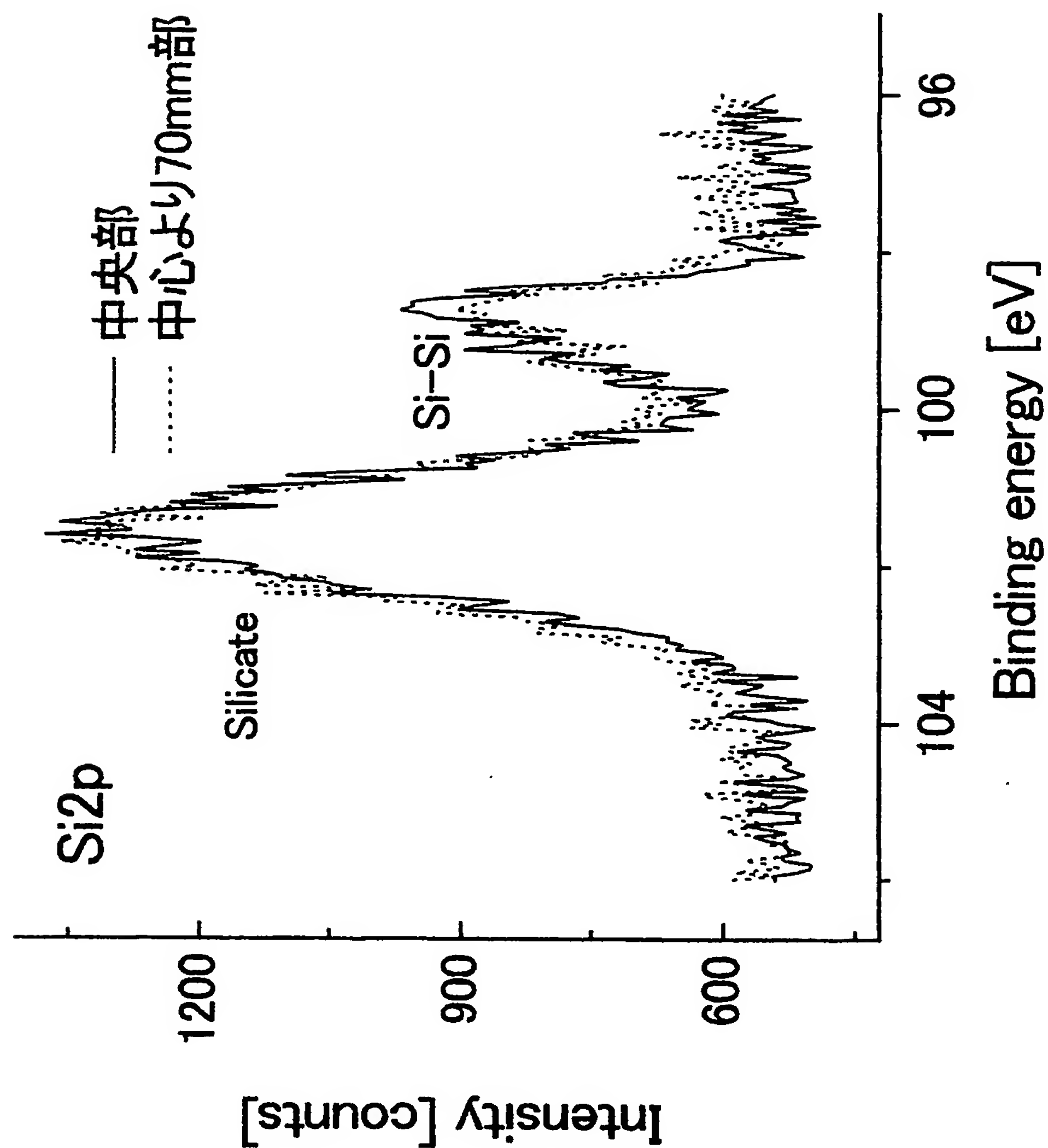
【図 1 0】



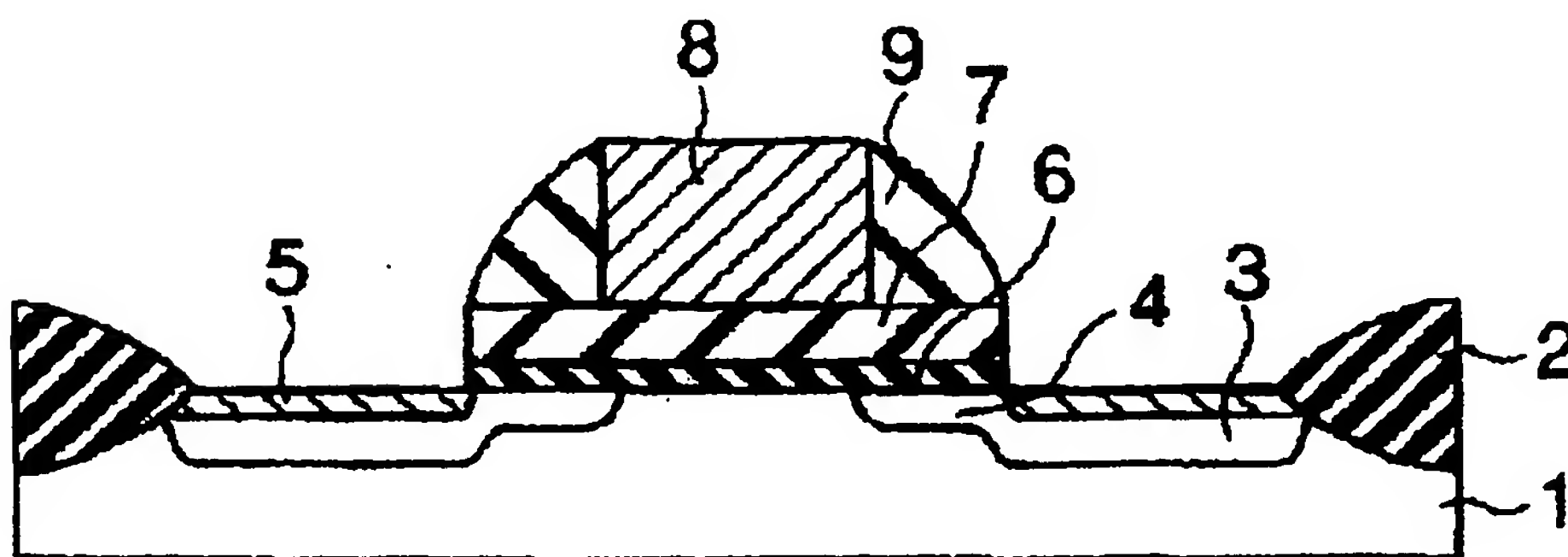
【図 11】



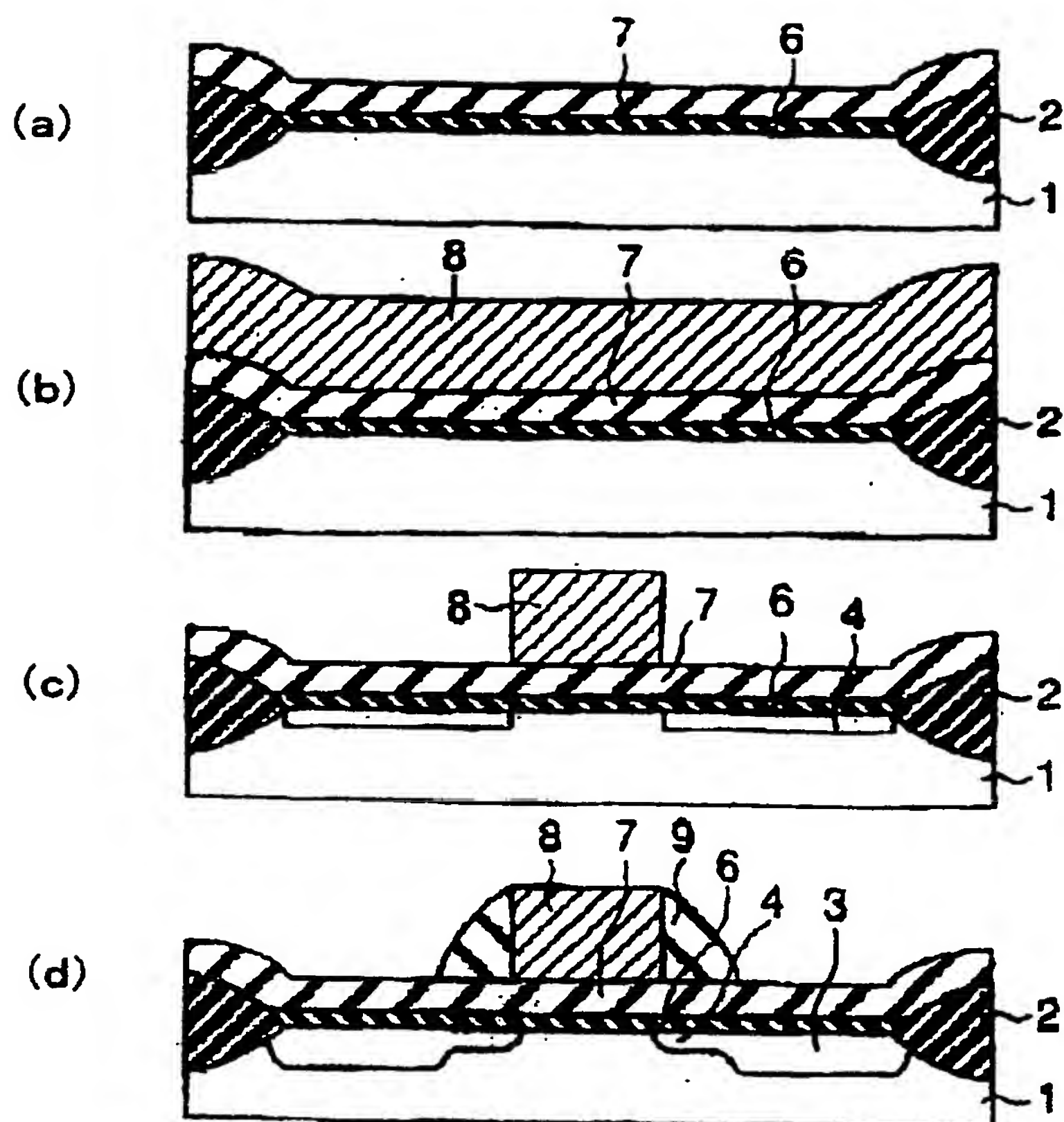
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜に比誘電率の高いH i g h - K材料を用いながら、低リーク特性に優れたM I S型電界効果トランジスタを有する半導体装置を提供する。

【解決手段】 シリコン基板（1）と、前記シリコン基板上に形成され、窒素および酸素の少なくとも1種とシリコンとを含有する絶縁膜（6）と、前記絶縁膜上に形成され、シリコン及びハフニウムを含む金属酸化膜（7）と、前記金属酸化膜上に形成されたゲート電極（8）とを具備するM I S型電界効果トランジスタにおいて、前記金属酸化膜中のシリコンのモル比率（ $S i / (S i + H f)$ ）を2%以上15%以下とする。

【選択図】 図13

特願 2 0 0 3 - 1 5 3 2 3 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更新月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社